

PRIMENA SERIJSKE I2C EEPROM MEMORIJE U SISTEMU SA INTEGRISANIM MERAČEM POTROŠNJE ELEKTRIČNE ENERGIJE

Dejan Mirković, Borisav Jovanović, Elektronski Fakultet Niš, *borko@elfak.ni.ac.yu*

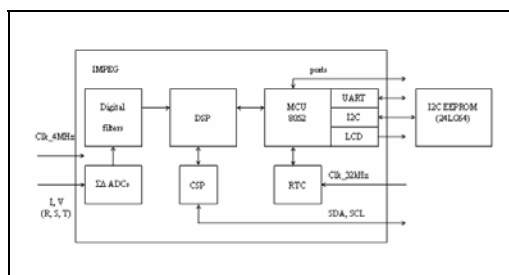
Nagrađeni rad mladog istraživača

Sadržaj – Opisana je osnovna funkcija serijske EEPROM memorije 24LC64 neophodne za funkcionisanje Integrisanog Merača Potrošnje Električne Energije (IMPEG2). Primenom VHDL jezika za opis hardvera generisan je opis ponašanja ovog memorijskog bloka koji je korišćen za potrebe simulacije programming moda rada MCU-a ugrađenog u Integrisani Merač Potrošnje Električne Energije.

1. UVOD

Tehnološki razvoj elektronske industrije omogućio je realizaciju energetske industrije u formi jedinstvenih integrisanih sistema na čipu (*Systems on-Chip, SoC*). Takav sistem predstavlja i Integrisani Merač Potrošnje Električne Energije druge generacije – IMPEG2, projektovan u LEDA laboratoriji Elektroskog fakulteta, Univerziteta u Nišu. IMPEG2 sadrži kako digitalne (filtri, DSP blokovi, mikrokontroleri itd.) tako i analogne (AD konvertori itd.) blokove što ga čini sistemom sa mešovitim signalima. Radi se o testnom čipu integrisanog merača potrošnje električne energije u trofaznim sistemima. Jednu od najvažnijih razlika u odnosu na prvu generaciju IMPEG čipa predstavlja ugrađeni mikrokontroler 8052, ugrađeni drajveri za LCD displej, sat realnog vremena i PLL. Iako se predviđa da u konačnoj varijanti sastavni deo čipa bude i flesh memorija koja bi trajno čuvala sve potrebne podatke, relativno visoka cena izrade prototipa u toj tehnologiji primorala je autore da se odreknu ove pogodnosti i da testni čip projektuju u jeftinijoj tehnologiji, a da se potrebna memorija nađe van čipa.

Ovo rešenje ilustrovano je na Sl. 1..



Sl. 1. Blok šema IMPEG čipa sa eksternom EEPROM memorijom

Dakle, neophodno je da se programiranje MCU-a (programming mod rada IMPEG čipa) obavlja posredno preko EEPROM memorijskog bloka. Iz ovakve memorije program se, zadavanjem odgovarajućih upravljačkih signala, smešta u radnu programsku memoriju (SRAM tipa) MCU-a. Uloga eksterne memorije poverena je memorijskom čipu serije 24LC64 [1].

Komunikacija između MCU-a i EEPROM-a zahteva serijsku vezu i u tu svrhu implementiran dvožični serijski interfejs. U ovoj komunikaciji MCU se identifikuje kao

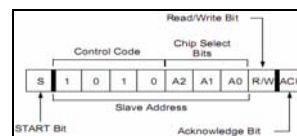
master, a EEPROM kao slave uređaj. Za verifikaciju rada izabranog rešenja neophodno je opisati memoriju 24LC64 nefunkcionalnom nivou u VHDL jeziku. U tu svrhu neophodno je proučiti način rada 24LC64.

U narednom odeljku objašnjen je postupak adresiranja 24LC64 memorije kojim se vrši inicijalizacija samog čipa u procesu komunikacije, dok je u trećem odeljku opisan protokol komunikacije. Četvrti odeljak posvećen je opisu ponašanja 24LC64 primenom VHDL jezika dok su rezultati simulacije dati u petom odeljku.

2. ADRESIRANJE

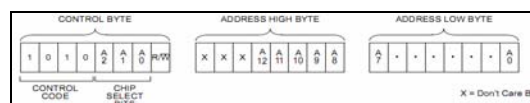
Adresiranje predstavlja ključnu fazu u pravilnom prenosu podataka. Sam proces komunikacije inicira master uređaj slanjem odgovarajućeg bajta preko serijske magistralne ka ciljnoj 24LC64 memoriji.

Prvi primljeni bajt nakon START uslova je kontrolni bajt (control byte, Sl. 2). Ovaj bajt sadrži 4-bitno polje kontrolnog koda (1010b) koji je isti za operacije i čitanja i upisa. Naredna tri bita (A0, A1, A2) kontrolnog bajta su bitovi za selekciju čipa kojima se adresira jedan do 8 uređaja (24LC64) na jedinstvenoj magistrali. U konkretnom primeru sistema sa IMPEG2 čipom koristi se samo jedna 24LC64 memorija, tako da je ova adresa jednoznačna. Vrednosti selektorskih bitova se moraju poklapati sa logičkim nivoima odgovarajućih ulaznih pinova (A0-A2) memorije koja se adresira.



Sl. 2. Kontrolni bajt

Ovi bitovi se mogu shvatiti kao tri MSB bita adrese uređaja. Naime, selektorski bitovi se mogu iskoristiti za proširenje adresnog prostora do 64kB (8 čipova x 8kB) vezivanjem 8 uređaja (24LC64) na jedinstvenu magistralu. Na taj način se selektorski bitovi A0, A1, A2 mogu softverski interpretirati kao A12, A13, A14 tj. MSB adresni bitovi (Sl. 3). Nažalost, na ovaj način u proširenom adresnom prostoru nije moguće sekvencijalno čitanje (sekvencijalno čitanje kao i svi ostali tipovi operacija 24LC64 memorije biće objašnjeni u narednom poglavlju).



Sl. 3. Adresna sekvenca

Poslednjim bitom kontrolnog bajta definiše se tip operacije koja se izvršava (čitanje/upis). Postavljanjem ovog

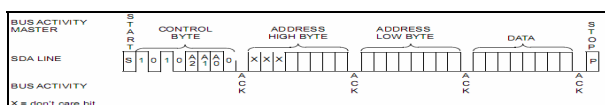
bita na logičku jedinicu selektovana je operacija čitanja ($R/W=1$) dok se u suprotnom ($R/W=0$) izvodi operacija upisa.

Naredna dva primljena bajta (nakon kontrolnog bajta) predstavljaju adresu prvog podatka koji se čita/upisuje (Sl. 3). Kako je za pokrivanje adresnog prostora od 8kB potrebno samo 13 adresnih bitova (A0-A12), stanje prva tri bita bajta više adrese nije bitno. Prilikom transfera, prvo se prenose bitovi MSB adrese, a zatim i bitovi LSB adrese.

3. PROTOKOL KOMUNIKACIJE SA 24LC64

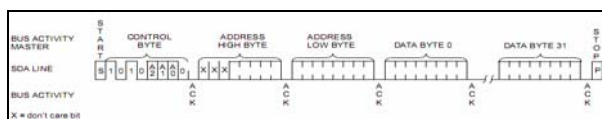
Kako bi se detaljnije objasnilo ponašanje 24LC64 memorije kao i funkcija koju treba opisati, neophodno je razmotriti usvojeni protokol komunikacije. U daljem tekstu biće objašnjene osnovne operacije upisa i čitanja prevashodno sa stanovišta stanja serijske magistrale.

Nakon generisanja START uslova master predajnik postavlja kontrolni bajt na magistralu. Selektovani slave uređaj 24LC64 (čija adresa uređaja odgovara selektorskim bitovima kontrolnog bajta) generiše signal ACK. Zatim slede dva bajta adrese (ADH, ADL) koji se smeštaju u interni pokazivač adrese 24LC64 čipa. Nakon prijema ACK nižeg bajta adrese od strane slave-a, master započinje slanje bajta podatka koji će biti upisan u adresiranu memorijsku lokaciju. Nakon smeštanja bajta podatka, slave ponovo postavlja ACK, a zatim master generiše STOP uslov, što je ilustrovano na Sl. 4. Ovim se inicira interni ciklus upisa i za to vreme 24LC64 neće generisati ACK. Nakon komande upisa, interni brojač adrese se automatski inkrementira ukazujući na susednu lokaciju u odnosu na prethodno ažuriranu.



Sl. 4. Upis bajta podatka

Operacija upisa stranice je slična operaciji upisa jednog bajta podatka, a ilustrovana je na Sl. 5. Naime početni deo je identičan kao i u prethodnom slučaju s tim što, prilikom upisa stranice, master umesto generisanja STOP uslova šalje paket od još 31-og bajta podatka.



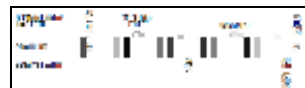
Sl. 5. Upis stranice (32 bajta podatka)

Po generisanju ACK zadnjeg primljenog bajta master uspostavlja STOP uslov na magistrali. Ukoliko master ne generiše STOP uslov nakon 32 bajta, a nastavi slanje, desiće se prekoračenje ukazivača adrese slave-a (započinje novi ciklus brojanja tj. ponovo ukazuje na adresu prvog podatka strane) tj. novopristigli podaci biće prepisani preko prethodno smeštenih.

EEPROM 24LC64 (slave) sadrži adresni brojač (ukazivač adrese) koji čuva adresu poslednje memorijske lokacije kojoj se pristupalo. Ovaj brojač se nakon svake operacije čitanja/upisa inkrementira za jedan. Prema tome, ukoliko se poslednjom operacijom čitanja pristupalo memorijskoj lokaciji sa adrese n (gde je n bilo koja legalna adresa), narednom operacijom čitanja pristupa se adresi $n+1$.

Operacija čitanja se inicira na isti način kao i operacija upisa s tom razlikom što je bit $R/W=1$. Moguće su tri načina čitanja:

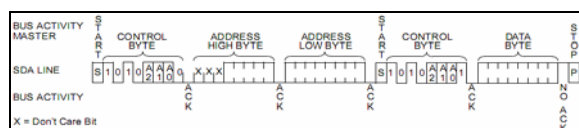
- Čitanje podatka sa trenutne adrese – Nakon prijema kontrolnog bajta, slave uređaj vraća signal ACK, a zatim započinje slanje bajta podatka. Master ne generiše ACK nakon prijema bajta podatka, ali uspostavlja STOP uslov na magistrali čime se slanje podataka od strane slave uređaja završava (Sl. 6).



Sl. 6. Očitavanje podatka sa trenutne adrese

- Čitanje podatka sa zadate adrese (proizvoljno čitanje) – Ovaj način čitanja omogućava master uređaju da pristupi bilo kojoj memorijskoj lokaciji na proizvoljan način. Da bi se ostvario ovaj tip čitanja neophodno je slave uređaju zadati adresu podatka koji se želi pročitati. To se otvaruje slanjem adrese ka 24LC64 od strane master-a kao deo operacije upisa (START, kontrolni bajt sa $R/W=0$, bajt više adrese, bajt niže adrese). Nakon što je adresa poslata i potvrda primljena od strane slave-a (ACK), master generiše START uslov kojim se završava operacija upisa adrese, ali ne pre nego što je interni adresni ukazivač postavljen.

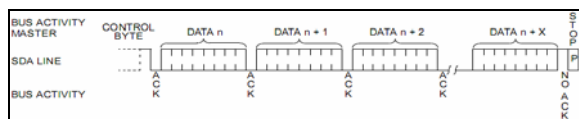
Nakon završetka operacije upisa adrese, master šalje kontrolni bajt sa zahtevom za čitanje ($R/W=1$) i nadalje se šalje bajt podatka sa adresirane memorijske lokacije od strane slave-a (Sl. 7).



Slika 7. Proizvoljno očitavanje

- Sekvencijalno čitanje – Inicira se na isti način kao i proizvoljno čitanje, s tom razlikom što umesto STOP uslova, master generiše ACK, čime je dozvoljen dalji transfer podataka. Postavljanje ACK upućuje slave da pošalje naredni sekvencijalno adresirani bajt podatka (Sl. 8). Sekvencijalno čitanje se obavlja sve do trenutka kada master uređaj ne vrati ACK na primljeni bajt podatka. Uspostavljanjem STOP uslova na magistrali okončava se dalji transfer podataka.

Kako se interni adresni brojač nakon završetka svake operacije inkrementira za jedan, moguće je sekvencijalnim čitanjem očitati ceo memorijski prostor (0000h-1FFFh). Ukoliko master potvrdi prijem i bajta sa adrese 1FFFh, adresni brojač se automatski resetuje na vrednost 0000h.



Sl. 8. Sekvencijalno očitavanje

4. REALIZACIJA OPISA PONAŠANJA 24LC64

Opis ponašanja memorijskog bloka 24LC64 je realizovan korišćenjem VHDL jezika za opis hardvera. Kompletan kod i verifikacija na funkcionalnom nivou ostvareni su pomoću programskog alata Active-HDL 5.1. Bitno je naglasiti da se EEPROM memorijski blok koristi samo za potrebe simulacije i u tu svrhu je generisan opis

ponašanja. Naime, ovakav opis nije namenjen za fizičku realizaciju memorije (tj. ne prolazi alat za sintezu), već samo simulira njen rad.

Logika za upravljanje radom EEPROM memorije preko serijske magistrale opisana je na funkcionalnom nivou. Ovaj blok predstavlja sastavni deo hardverske strukture IMPEG2 čipa sa slike 1.

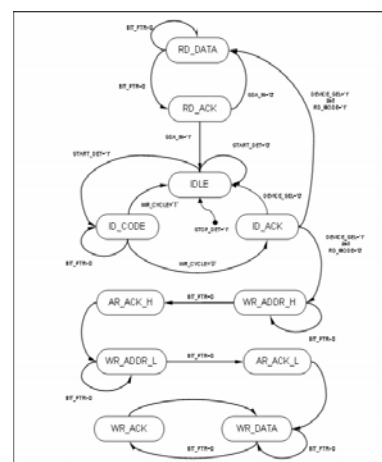
Kako je naglašeno u Uvodnom odeljku, neophodno je simulirati rad memorijskog EEPROM prostora od 8kB. U tu svrhu generisan je opis ponašanja čipa 24LC64, kroz entitet *i2c_eeprom* koji sadrži sledeće portove:

- (E2:E0) – ulazni portovi za selekciju adrese uređaja (device select);
- *STRETCH* – ulazni port za definisanje vremenskog perioda držanja SCL linije na nivou logičke nule;
- *WC* – ulazni port za zaštitu operacije upisa (write protect). Kada je na visokom logičkom nivou zabranjen je upis u memoriju;
- *SDA* – port za serijski prenos podataka;
- *SCL* – port za serijski takt.

Dijagram stanja *i2c_eeprom* prikazan je na Sl. 9. Sa dijagrama se uočavaju sledeća stanja: IDLE (stanje u kome se čeka komanda od master-a), ID_CODE (prijem kontrolnog bajta), ID_ACK (potvrda prijema kontrolnog bajta), WR_ADDR_H (upis više adrese), AR_ACK_H (potvrda prijema više adrese), WR_ADDR_L (upis niže adrese), AR_ACK_L (potvrda prijema niže adrese), WR_DATA (upis podatka), WR_ACK (potvrda prijema podatka), RD_DATA (čitanje podatka), RD_ACK (potvrda prijema pročitanoeg podatka od strane master-a).

Karakteristični signali koji uslovljavaju prelaz između pojedinih stanja su: *BIT_PTR* (pokazivač bita – bit pointer, koji ukazuje na svaki primljeni bit podatka), *START_DET* (detekcija start uslova na serijskoj magistrali – start detection), *WR_CYCLE* (bit koji ukazuje da ciklus čitanja – write cycle još uvek traje), *DEVICE_SEL* (signalizira da je primljena odgovarajuća device address-a), *RD_MODE* (uzima vrednost LSB bita kontrolnog bajta kojim se određuje operacija upisa ($R/W=0$) odnosno čitanja ($R/W=1$)), *SDA_IN* (filtriran ulazni signal *SDA* linije).

Nakon detektovanja STOP uslova (*STOP_DET=1*), automat je u stanju IDLE. Dokle god se ne uspostavi START uslov na serijskoj magistrali, automat se nalazi u stanju IDLE. Nakon detekcije START uslova (*START_DET=1*), prelazi se u stanje ID_CODE. Posle prijema svakog bita kontrolnog bajta *BIT_PTR* se dekrementira na opadajuću ivicu *SCL_IN* signala. Naredno stanje se određuje ispitivanjem stanja *BIT_PTR*-a. Ukoliko kontrolni bajt nije kompletno primljen ($BIT_PTR > 0$), ostaje se u istom stanju (ID_CODE). Po prijemu i LSB bita kontrolnog bajta ($BIT_PTR=0$) prelazi se u stanje ID_ACK. U stanju ID_ACK šalje se ACK master-u prebacivanjem *SDA* linije na 0, čime je potvrđen prijem kontrolnog bajta. Ukoliko je detektovana odgovarajuća adresa (*DEVICE_SEL=1*), iz ovog stanja se, zavisno od vrednosti bita *RD_MODE*, prelazi u WR_ADDR_H ($RD_MODE=0$) odnosno RD_DATA ($RD_MODE=1$). Ako primljena adresa nije odgovarajuća (*DEVICE_SEL=0*) prelazi se u stanje čekanja IDLE.



Sl. 9. Dijagram stanja *i2c_eeprom*

Sa dijagrama se može uočiti da sličan postupak važi i za prijem višeg bajta adrese (WR_ADDR_H, AR_ACK_H), nižeg bajta adrese (WR_ADDR_L, AR_ACK_L) kao i podatka koji se upisuje (WR_DATA, WR_ACK) u memoriju ili čita (RD_DATA, RD_ACK) iz memorije.

Kod operacije čitanja karakteristično je stanje RD_ACK. Naime, u tom stanju se *SDA* linija mora osloboditi kako bi master mogao da je prevede na logičku nulu. Na taj način master šalje ACK EEPROM-u, čime je potvrđen prijem pročitanoeg podatka iz memorije. Ukoliko je ACK od strane master-a primljen (*SDA_IN=0*) prelazi se u stanje RD_DATA u kome se čita naredni podatak iz memorije. Operacija čitanja se obavlja dokle god master uzvraća potvrdom prijema ACK (tj. nakon svakog pročitanoeg bajta iz memorije važi *SDA_IN=0*).

Ukoliko master ne želi više da čita podatke iz memorije, neće vratiti ACK na zadnji primljeni bajt (*SDA_IN=1*). Ovim se prekida operacija čitanja, a automat prelazi ponovo u svtanje IDLE i čeka narednu komandu od master-a.

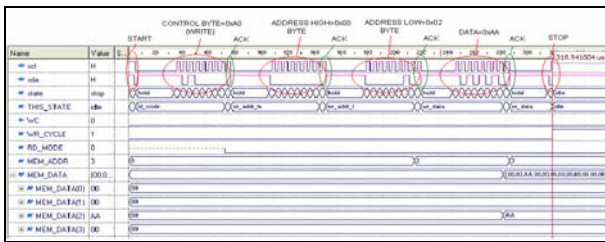
5. REZULTATI SIMULACIJE

U cilju verifikacije funkcije opisanog entiteta formiran je testbenč *i2c_master_TB.vhd*. Za upravljanje radom EEPROM memorije preko serijske magisrtale iskorišćen je entitet *i2c_master* [2]. U testbenču su objedinjeni entiteti logike za pravljanje EEPROM memorijom preko serijske magistrale (*i2c_master*) i EEPROM memorije (*i2c_eeprom*). Definisanjem odgovarajućih ulaznih signala dobijeni su vremenski dijagrami kojima se verifikuje funkcionalnost opisanog entiteta EEPROM memorijskog bloka.

U daljem tekstu biće prezentovani neki od dobijenih vremenskih dijagrama na kojima se mogu videti karakteristična stanja EEPROM memorijskog bloka i ranije pomentutog interfejsa (serijska magistrala) za operacije upisa i čitanja.

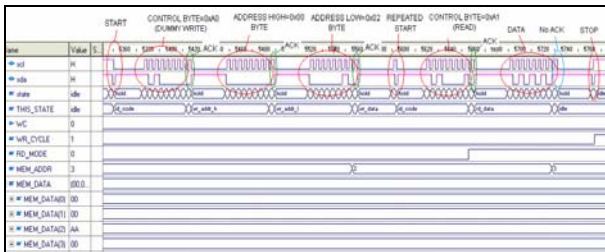
Na vremenskom dijagramu sa slike 10 prikazana je operacija upisa podatka 0xAA u EEPROM memorijsku lokaciju čija je adresa 0x0002.

Sa slike 10 bitno je uočiti sledeće karakteristične signale: *WR_CYCLE* (signalizira da je ciklus upisa u toku), *MEM_ADR* (interni brojač-ukazivač adresa EEPROM-a), *MEM_DATA* (predstavlja skup memorijskih lokacija EEPROM memorije) i *RD_MODE* (uzima vrednost LSB bita kontrolnog bajta – *R/W*).



Sl. 10. Operacija upisa

Operacija čitanja podatka sa zadate adrese iz EEPROM-a započinje operacijom „lažnog“ upisa (*dummy write operation*). Za razliku od prave operacije upisa, kod lažne operacije se nakon predaje kontrolnog bajta (sa $R/W=0$), više i niže adrese podatka uspostavlja novi (ponovljeni – repeated) START uslov na serijskoj magistrali. Posle ponovljenog START uslova sledi novi kontrolni bajt kojim se zadaje operacija čitanja (sa $R/W=1$). Vremenski dijagram koji ilustruje operaciju čitanja podatka 0xAA iz EEPROM memorijske lokacije sa adresom 0x0002 prikazan je na slici 11.



Sl. 11. Operacija čitanja

6. ZAKLJUČAK

Generisani opis ponašanja koji simulira rad čipa 24LC64 predstavlja deo koda za verifikaciju *programming moda* rada mikrokontrolera arhitekture 8052 koji je ugrađen u Integrisani Merač Potrošnje Električne Energije.

EEPROM memorija se nalazi van IMPEG2 čipa. Komunikacija sa eksternim EEPROM memorijskim čipom 24LC64 ostvaruje se serijskim putem preko samo dve linije SDA i SCL.

Entiteti *i2c_eeprom* i *i2c_master* testirani su testbenč programom *i2c_eeprom_TB.vhd* pomoću koga je izvršna verifikacija simulacijom na funkcionalnom nivou.

ZAHVALNOST

Rezultati prikazani u ovom radu ostvareni su u okviru projekta TR 6108.B čiju je realizaciju finansiralo Ministarstvo nauke Republike Srbije.

LITERATURA

- [1] MICROCHIP 24AA64/24LC64 I^2C^{TM} Serial EEPROM, Data Sheet, Microchip technology Inc., 2002.
- [2] Borisav Jovanović, Predrag Petković, Milunka Damnjanović, *Serial port interface for microcontroller embedded into integrated power meter*, Laboratory for Electronic Design Automation, Faculty of Electronic Engineering, University of Niš, 19 – 21 September Sozopol, BULGARIA 2007.
- [3] 71M6513/71M6513H 3-phase Energy Meter IC, Data Sheet, TERIDIAN Semiconductor Corp., April 2006.
- [4] THE 1 2C-BUS SPECIFICATION VERSION 2.1 JANUARY 2000, Data Sheet, Philips Semiconductors, 2000.
- [5] Vančo B. Litovski, *PROJEKTOVANJE ELEKTRONSKIH KOLA: SIMULACIJA, OPTIMIZACIJA, TESTIRANJE, FIZIČKO PROJEKTOVANJE*, I izdanje, DGIP “Nova Jugoslavija”, Vranje, 2000.
- [6] Predrag P. Petković, Miljana Sokolović i Bojan Anđelković, *PROJEKTOVANJE INTEGRISANIH KOLA – VHDL simulacija i sinteza*, Elektronski fakultet u Nišu u saradnji sa Austrian Cooperation Eastern Europe WUS Austria, interna, publikacija, Niš, 2005.
- [7] M. Zwoliński, *Digital System Desing with VHDL*, First published 2000, Personal Education & Prentice Hall, Printed by Ashford Color Press Ltd., Gosport.

Abstract – The basic function of serial EEPROM memory chip 24LC64 which is necessary for proper functioning of Integrated Power Meter is presented in this paper. Behavioural description of this memory block is generated using VHDL hardware description language. This description is exclusively used for simulation purpose and not in physical realization of proposed EEPROM chip. Verification results are presented.

DESCRIPTION AND USAGE OF SERIAL I2C EEPROM MEMORY IN SYSTEM WITH POWER METER INTEGRATED CIRCUIT

Dejan Mirković, Borisav Jovanović